

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-017795

(43)Date of publication of application : 17.01.1997

(51)Int.Cl.

H01L 21/321

(21)Application number : 07-187887

(71)Applicant : NEW JAPAN RADIO CO LTD

(22)Date of filing : 30.06.1995

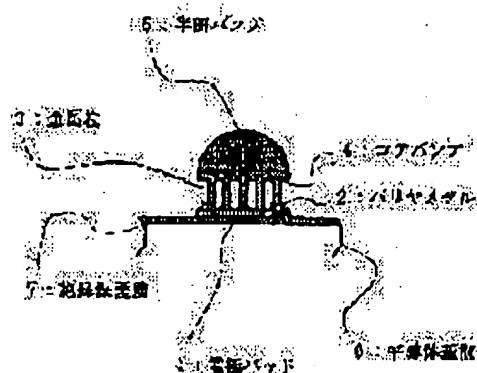
(72)Inventor : MATSUSHITA HIKARI

(54) BUMP STRUCTURE

(57)Abstract:

PURPOSE: To provide a solder bump structure which can be protected against cracking, restrained from being separated from a board electrode due to a thermal stress applied after a flip chip is mounted, and manufactured at a low cost.

CONSTITUTION: A bump structure is formed on the electrode of a flip chip semiconductor device, wherein the bump structure is composed of a barrier metal 2 laminated on an electrode pad 1 of a semiconductor device, metal columns 3 provided upright on the barrier metal 2, a core bump 4 laminated spreading over the metal columns 3, and a solder bump 5 laminated on the core bump 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998.2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

 CLAIMS

[Claim(s)]

[Claim 1] Bump structure characterized by consisting of a core bump who is a bump's structure formed in the polar zone of a flip chip mold semiconductor device, and did the laminating over this barrier metal [which carried out the laminating on the electrode pad of a semiconductor device], two or more metal columns [which were set up on this barrier metal], and two or more metal columns top, and a solder bump who did the laminating on this core bump.

 DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the structure of the metal bump with whom a flip chip is presented.

[0002]

[Description of the Prior Art] Drawing 6

shows a bump's example in the conventional flip chip. This Fig. is shown typically and differs from a dressed size.

The electronic circuitry where six in drawing shows a semi-conductor substrate, and does not illustrate it is formed in the monolithic, and the electrode pad 1 for electrical installation with the exterior is formed on the whole surface. The periphery is surrounded by the insulating protective coat 7 which consists of SiO₂ (oxidation silicon) which aluminum (aluminum) was mainly used and formed the electrode pad 1 according to the CVD method and the photograph process, or SiN (silicon nitride), a part is exposed, and the barrier metal 2 is put on this outcrop. A barrier metal 2 is the multilevel-metal film, generally, a lower layer consists of Cr (chromium), Ti (titanium), etc. as a diffusion prevention layer which prevent generation of an intermetallic compound, and the upper layer consists of Cu (copper), nickel (nickel), etc. with sufficient wettability with solder. Furthermore, on the barrier metal 2, the solder bump 5 who consists of solder of an Sn(tin)-Pb (lead) system is formed.

[0003] the flip chip in which the solder bump 5 who described above was formed is shown in the mimetic diagram of drawing 7 -- as -- the mounting substrate 10 top -- CCB (containing RORUDO collapse bonding) -- a surface mount is carried out

by law. That is, alignment of the substrate electrode 11 formed on the mounting substrate 10 and the solder bump 5 formed in the flip chip is carried out, she is contacted, melting of the solder bump 5 is carried out by the reflow etc., and electrical installation is made.

[0004]

[Problem(s) to be Solved by the Invention] With the above bump structures, since it was the mismatching of the coefficient of thermal expansion of a semi-conductor substrate and a mounting substrate when heat stress, such as a temperature cycle, is cost after flip chip mounting, the problem on the dependability that stress concentrates on a solder bump, a crack enters or a bump exfoliates from a substrate electrode might occur. Moreover, in order to prevent it, resin is poured in between a semi-conductor substrate and a mounting substrate, and it becomes a cost rise although there is the approach of lessening that stress concentrates on a bump. This invention cancels these troubles, and it is cheap and aims at considering as bump structure with sufficient dependability.

[0005]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, this invention is a bump's structure formed in the polar zone of a flip chip mold semiconductor device, and is characterized by consisting of a core

bump who did the laminating over this barrier metal [which carried out the laminating on the electrode pad of a semiconductor device], two or more metal columns [which were set up on this barrier metal], and two or more metal columns top, and a solder bump who did the laminating on this core bump.

[0006]

[Function] Thus, by constituting though [the bonding strength with a bump, an electrode pad, and a mounting substrate electrode] it is conventionally the same as that of the bump of structure, as stress, such as a temperature cycle, is absorbed by deformation of a thin metal column with ductility, the exfoliation from a bump's crack and substrate electrode can be prevented.

[0007]

[Example] The example of this invention is explained along with a drawing below. Drawing 1 is the sectional view having shown the outline of the example of this invention typically, and the core bump who consists of Cu formed over the metal column 3 top of plurality [4 / the metal column with which a corresponding thing is shown and 3 consists of two or more Cu(s), and] with the same or thing of the same sign as drawing 5 and drawing 6, and 5 show the solder bump of the Sn-Pb system formed on the core bump 4 in this Fig. Drawing 2 is drawing having shown the outline of the production process of the example of drawing 1 typically.

direction and has arranged them, although it is hard to absorb the stress of the space vertical direction, horizontal stress is absorbed, and reinforcement is made stronger than the example of drawing 4. [two or more] For example, the dimension of the metal column in this case is 10micrometerx80micrometer, and can obtain a good result by forming it five, using a pitch as 30 micrometers. In addition, although the configuration of a metal column can consider various examples, if it consists of two or more thin metals and one core bump is supported in order to give ductility, it will not deviate from the main point of this invention.

[0009]

[Effect of the Invention] Since heat stress is absorbable as explained above, even when the difference of the coefficient of thermal expansion of a mounting substrate and a semi-conductor substrate is large, flip chip mounting can be performed. therefore, the thing which according to this invention it makes it possible to offer a flip chip with a bigger chip size than before, and is contributed to offer of the flip chip in which large processing is more possible -- it is remarkable. Moreover, it is not necessary to slush resin between substrates and to ease stress, and a cost cut is possible by reducing a mounting process.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing one example of this invention.

[Drawing 2] It is drawing showing the outline of the production process of the example of drawing 1.

[Drawing 3] It is drawing showing the mounting condition of the flip chip which applied the example of drawing 1.

[Drawing 4] It is drawing showing an example of the cross section of the metal column of this invention.

[Drawing 5] It is drawing showing other examples of the cross section of the metal column of this invention.

[Drawing 6] It is drawing showing an example of the conventional bump structure for flip chips.

[Drawing 7] It is drawing showing the mounting condition of the flip chip which applied the example of drawing 6.

[Description of Notations]

- 1 Electrode Pad
- 2 Barrier Metal
- 3 Metal Column
- 4 Core Bump
- 5 Solder Bump
- 6 Semi-conductor Substrate
- 7 Insulator Layer

Patterning of the aluminum thin film with a thickness of about 1 micrometer put with electron beam vacuum deposition on the whole surface is carried out in a photograph process, and the part is used as the electrode pad 1 (drawing 2 a). Subsequently, the SiN film is deposited on a front face about 1 micrometer in thickness, it leaves the SiN film which laps with the periphery section of the electrode pad 1 in a photograph process, a contact hole is opened, and the insulating protective coat 7 is formed (drawing 2 b). A sputter is carried out to the order of Cr and Cu after this, and the spin coat of the photoresist 8 is carried out for barrier metal layer of 1000Å of thickness numbers 2a to about 30 micrometers in thickness formation and on it (drawing 2 c). Next, as shown in drawing 2 d, patterning of the photoresist 8 is carried out, electrolysis plating of Cu is performed by using as an electric supply layer barrier metal layer 2a formed before, and formation and the core bump 4 who continued electrolysis plating further and grew over two or more metal columns 3 top are formed for two or more metal columns 3. Subsequently, electrolysis plating of solder is again performed by using barrier metal layer 2a as an electric supply layer, and the solder bump 5 is formed (drawing 2 e). After exfoliating a resist 8 after that and etching barrier metal layer 2a alternatively, solder is

once fused in an inert atmosphere and the last configuration shown in drawing 1 is acquired.

[0008] Since it is having such structure, it is connectable with a printed circuit board by the CCB method. Drawing 3 expresses the condition at that time. This Fig. also expresses typically and differs from a dressed size. The substrate electrode for connection with which 10 was formed in the mounting substrate and 11 was formed on the mounting substrate 10 is shown. If temperature stress is added in this condition, generally, the large mounting substrate of an expansion coefficient will have expansion and contraction larger than a semi-conductor substrate, and stress will concentrate on the joined bump section. This stress can be absorbed according to deformation of the part of two or more metal columns 3, and the stress which joins the solder bump's 5 part can be decreased. Drawing 4 and drawing 5 show the example of the cross section of a metal column. the cross section where drawing 4 is circular -- having -- etc. -- the metal column arranged in the pitch is shown. [two or more] For example, the path of a metal column is 10 micrometers and can obtain a good result by forming it 25, using a pitch as 30 micrometers. By drawing 5's having the lengthened cross section in the space vertical direction, and showing the metal column which repeated it to the space horizontal

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-17795

(43) 公開日 平成9年(1997)1月17日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321			H 0 1 L 21/92	6 0 2 D 6 0 2 G 6 0 4 B

審査請求 未請求 請求項の数1 F D (全 4 頁)

(21) 出願番号 特願平7-187887

(22) 出願日 平成7年(1995)6月30日

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72) 発明者 松下 光

埼玉県上福岡市福岡二丁目1番1号 新日

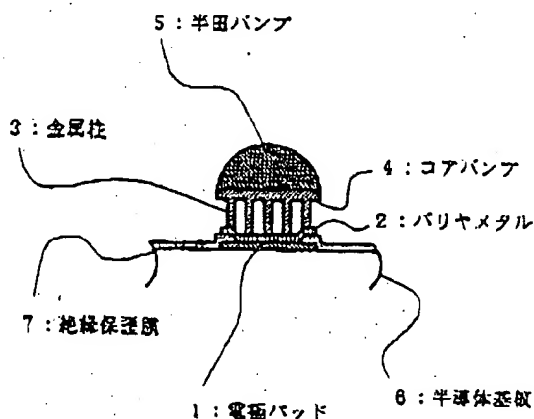
本無線株式会社/川越製作所内

(54) 【発明の名称】 バンプ構造

(57) 【要約】

【目的】 フリップチップ実装後の熱ストレスが原因で半田バンプにクラックが入ったり、半田バンプが基板電極から剥離するといった問題がなく、安価に製作可能なバンプ構造を提供する。

【構成】 フリップチップ型半導体装置の電極部に形成されるバンプの構造であって、半導体装置の電極パッド1上に積層したバリアメタル2と、バリアメタル2上に立設した複数の金属柱3と、複数の金属柱3上にわたり積層したコアバンプ4と、コアバンプ4上に積層した半田バンプ5とからなる。



【特許請求の範囲】

【請求項1】 フリップチップ型半導体装置の電極部に形成されるバンパの構造であって、半導体装置の電極パッド上に積層したバリアメタルと、該バリアメタル上に立設した複数の金属柱と、該複数の金属柱上にわたって積層したコアバンパと、該コアバンパ上に積層した半田バンパとからなることを特徴とするバンパ構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフリップチップに供される金属バンパの構造に関する。

【0002】

【従来の技術】 図6は従来のフリップチップにおけるバンパの一例を示している。本図は模式的に示したものであり、実際の寸法とは異なる。図中6は半導体基板を示し、図示しない電子回路がモノリシックに形成されており、一面上に外部との電気的接続のための電極パッド1が形成されている。電極パッド1は主にAl（アルミニウム）が用いられ、CVD法及びフォトリソプロセスにより形成したSiO₂（酸化珪素）やSiN（窒化珪素）からなる絶縁保護膜7にその周縁が囲まれ、一部が露出され、該露出部にバリアメタル2が被着されている。バリアメタル2は多層金属膜であり、一般に、下層は金属間化合物の生成を防ぐ拡散防止層としてのCr（クロム）やTi（チタン）等からなり、上層は半田との濡れ性がよいCu（銅）やNi（ニッケル）等からなる。さらに、バリアメタル2上にはSn（錫）-Pb（鉛）系の半田からなる半田バンパ5が形成されている。

【0003】 上記したような半田バンパ5の形成されたフリップチップは、図7の模式図に示す如く実装基板10上にCCB（コントロールド・コラップス・ボンディング）法により表面実装される。即ち、実装基板10上に形成された基板電極11と、フリップチップに形成された半田バンパ5とが位置合わせされて当接され、リフローなどにより半田バンパ5が溶融され、電気的接続がなされる。

【0004】

【発明が解決しようとする課題】 上記のようなバンパ構造では、フリップチップ実装後に温度サイクルなどの熱ストレスがかかった場合、半導体基板と実装基板との熱膨張係数の不整合のため、半田バンパに応力が集中しクラックが入ったり、バンパが基板電極から剥離するといった信頼性上の問題が発生することがあった。また、それを防ぐために半導体基板と実装基板との間に樹脂を注入し、バンパに応力が集中することを少なくする方法があるがコストアップとなる。本発明はこれらの問題点を解消し、安価で信頼性の良いバンパ構造とすることを目的とする。

【0005】

【課題を解決するための手段】 上記目的を達成するた

め、本発明は、フリップチップ型半導体装置の電極部に形成されるバンパの構造であって、半導体装置の電極パッド上に積層したバリアメタルと、該バリアメタル上に立設した複数の金属柱と、該複数の金属柱上にわたり積層したコアバンパと、該コアバンパ上に積層した半田バンパとからなることを特徴とする。

【0006】

【作用】 このように構成することにより、バンパと電極パッド及び実装基板電極との接合強度は従来構造のバンパと同一としながら、温度サイクル等のストレスを延性のある細い金属柱の変形で吸収するようにして、バンパのクラックや基板電極からの剥離を防止することが出来る。

【0007】

【実施例】 以下に本発明の実施例を図面に沿って説明する。図1は本発明の実施例の概要を模式的に示した断面図で、本図において図5及び図6と同一の符号のものは同一または相当するものを示し、3は複数のCuからなる金属柱、4は複数の金属柱3上にわたって形成したCuからなるコアバンパ、5はコアバンパ4上に形成したSn-Pb系の半田バンパを示す。図2は図1の実施例の製造工程の概略を模式的に示した図である。一面上に電子ビーム蒸着法で被着した厚さ1μm程度のAl薄膜をフォトリソプロセスでパターンニングし、その一部を電極パッド1にする（図2a）。次いで表面にSiN膜を厚さ1μm程度堆積し、フォトリソで電極パッド1の周縁部に重なるSiN膜を残してコンタクトホールを開け、絶縁保護膜7を形成する（図2b）。この後Cr、Cuの順にスパッタし、厚さ数1000オングストロームのバリアメタル層2aを形成、その上にフォトレジスト8を厚さ30μm程度にスピンコートする（図2c）。次に、フォトレジスト8を図2dに示すようにパターンニングし、前に形成したバリアメタル層2aを給電層としてCuの電解めっきを行い、複数の金属柱3を形成、さらに電解めっきを続けて複数の金属柱3上にわたり成長したコアバンパ4を形成する。次いで、再度バリアメタル層2aを給電層として、半田の電解めっきを行い、半田バンパ5を形成する（図2e）。その後レジスト8を剥離し、バリアメタル層2aを選択的にエッチングした後、不活性雰囲気中で一旦半田を溶融し、図1に示した最終形状を得る。

【0008】 このような構造をしているためプリント基板にCCB法により接続することができる。図3はその時の状態を表す。本図も模式的に表したものであり、実際の寸法とは異なる。10は実装基板、11は実装基板10上に形成された接続用の基板電極を示す。この状態で温度ストレスが加わると一般に膨張係数の大きい実装基板が半導体基板よりも伸び縮みが大きく、接合されたバンパ部に応力が集中する。この応力を複数の金属柱3の部分の変形により吸収し、半田バンパ5の部分に加わ

3

る応力を減少させることができる。図4、図5は金属柱の横断面の例を示すものである。図4は、円形の断面を持ち、等ピッチで複数個配置した金属柱を示している。例えば金属柱の径は $10\mu\text{m}$ であり、ピッチを $30\mu\text{m}$ として25本形成することによって良好な結果を得ることができる。図5は、紙面上下方向に長くした断面を有し、それを紙面水平方向に繰返し複数個配置した金属柱を示しており、紙面上下方向のストレスは吸収し難いが水平方向のストレスを吸収しかつ図4の例よりも強度を強くしたものである。例えばこの場合の金属柱の寸法は $10\mu\text{m}\times 80\mu\text{m}$ であり、ピッチを $30\mu\text{m}$ として5本形成することによって良好な結果を得ることができる。この他金属柱の形状は種々の例が考えられるが、延性を持たせるため複数の細い金属からなり、一つのコアバンパを支持しているのであれば、本発明の主旨から逸脱するものではない。

【0009】

【発明の効果】以上説明したように、熱ストレスを吸収することができるので、実装基板と半導体基板との熱膨張係数の差が大きい場合でもフリップチップ実装ができる。従って、本発明によれば、従来よりチップサイズの大きなフリップチップを提供することを可能にし、より大処理の可能なフリップチップの提供に貢献すること著しい。また、基板間に樹脂を流し込んでストレスを緩和

4

する必要もなく、実装工程を減じることでコストダウンができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す図である。

【図2】図1の実施例の製造工程の概略を示す図である。

【図3】図1の実施例を適用したフリップチップの実装状態を示す図である。

【図4】本発明の金属柱の横断面の一例を示す図である。

【図5】本発明の金属柱の横断面の他の例を示す図である。

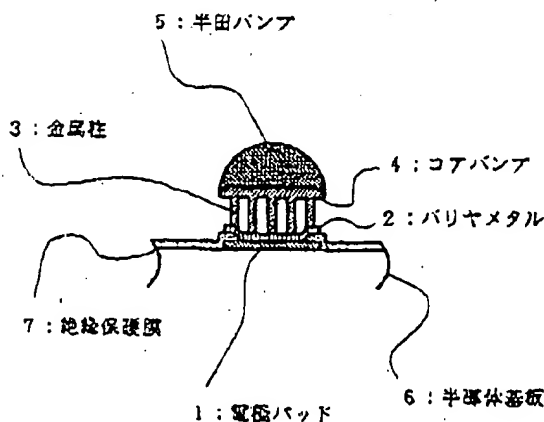
【図6】従来のフリップチップ用バンパ構造の一例を示す図である。

【図7】図6の例を適用したフリップチップの実装状態を示す図である。

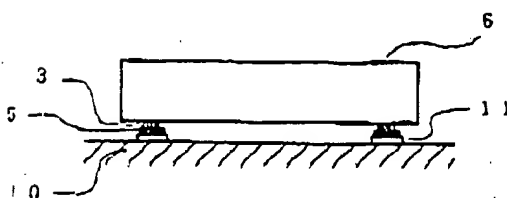
【符号の説明】

- 1 電極パッド
- 2 バリヤメタル
- 3 金属柱
- 4 コアバンパ
- 5 半田バンパ
- 6 半導体基板
- 7 絶縁保護膜

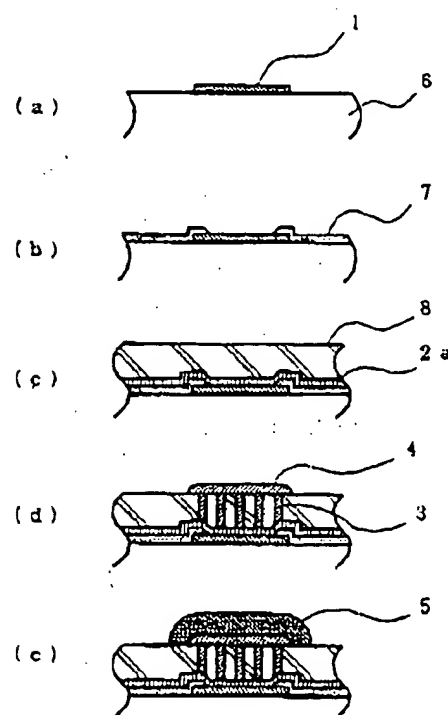
【図1】



【図3】



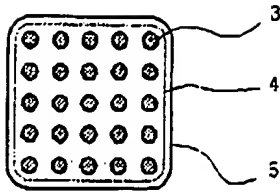
【図2】



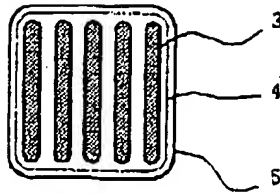
(4)

特開平9-17795

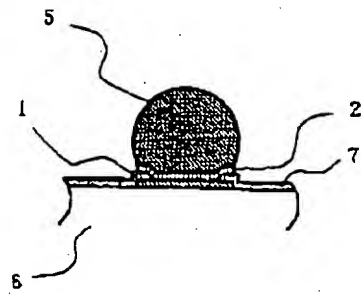
【図4】



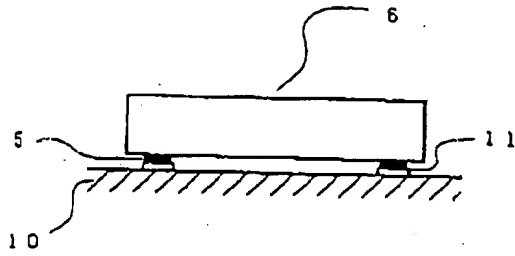
【図5】



【図6】



【図7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.